

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-028318

(43)Date of publication of application : 30.01.2001

(51)Int.Cl.

H01G 4/30

(21)Application number : 2000-081428

(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 23.03.2000

(72)Inventor : KURODA TAKAKAZU

NAITO YASUYUKI

HORI HARUO

KONDO TAKANORI

ASAKURA NORIMASA

(30)Priority

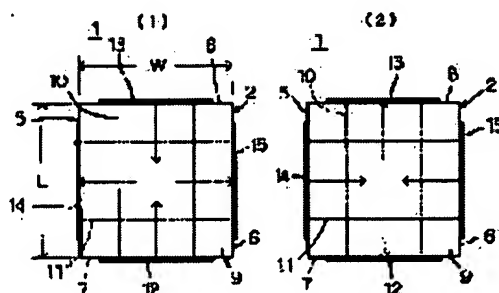
Priority number : 11127909 Priority date : 10.05.1999 Priority country : JP

(54) MULTILAYER CAPACITOR, ELECTRONIC DEVICE AND HIGH- FREQUENCY CIRCUIT USING THE CAPACITOR

(57)Abstract:

PROBLEM TO BE SOLVED: To enable reduction in the equivalent serial inductance of a multilayer capacitor.

SOLUTION: First and second internal electrodes 10 and 11 mutually opposed to each other via an dielectric layer 9, in the interior of a capacitor main body 2 are extended so as to connect two end faces 7 and 7 of the main body 2 and two side faces 5 and 6 thereof respectively, end face terminal electrodes 12 and 13 are provided on the two end faces 7 and 8, and side face terminal electrodes 14 and 15 are provided respectively on the tow side faces 5 and 6. Then a dimension W or the main body 2 in the width direction is selected to be in the range of 0.9-1.1 times a dimension L thereof in the longitudinal direction. Furthermore, when the dimension W and L are set to 'a' and the width of the internal electrodes 10 and 11 is set to 'b', it is preferable that the relationship $0.45 \leq b/a \leq 0.90$ be satisfied.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination] 29.01.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3548821

[Date of registration] 30.04.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-028318

(43)Date of publication of application : 30.01.2001

(51)Int.Cl.

H01G 4/30

(21)Application number : 2000-
081428

(71)Applicant : MURATA MFG CO LTD

(22)Date of filing :

23.03.2000

(72)Inventor : KURODA TAKAKAZU

NAITO YASUYUKI

HORI HARUO

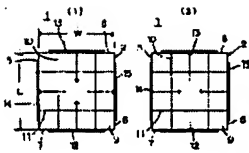
KONDO TAKANORI

ASAKURA NORIMASA

(30)Priority

Priority number : 11127909 Priority date : 10.05.1999 Priority country : JP

(54) MULTILAYER CAPACITOR, ELECTRONIC DEVICE AND HIGH-FREQUENCY CIRCUIT USING THE CAPACITOR



(57)Abstract:

PROBLEM TO BE SOLVED: To enable reduction in the equivalent serial inductance of a multilayer capacitor.

SOLUTION: First and second internal electrodes 10 and 11 mutually opposed to each other via an dielectric layer 9, in the interior of a capacitor main body 2 are extended so as to connect two end faces 7 and 7 of the main body 2 and two side faces 5 and 6 thereof respectively, end face terminal electrodes 12 and 13 are provided on the two end faces 7 and 8, and side face terminal electrodes 14 and 15 are provided respectively on the tow side faces 5 and 6. Then a dimension W or the main body 2 in the width direction is selected to be in the range of 0.9-1.1 times a dimension L thereof in the longitudinal direction. Furthermore, when the dimension W ands L are set to 'a' and the width of the internal electrodes 10 and 11 is set to 'b', it is preferable that the relationship $0.45 \leq b/a \leq 0.90$ be satisfied.

LEGAL STATUS

[Date of request for examination] 29.01.2002

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number] 3548821
[Date of registration] 30.04.2004
[Number of appeal against examiner's
decision of rejection]
[Date of requesting appeal against
examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIP are not responsible for any
damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The appearance is specified with the die-length direction dimension, a crosswise dimension, and the thickness direction dimension. The 1st and 2nd principal planes which are specified with said die-length direction dimension and said crosswise dimension and which carry out phase opposite, The 1st and 2nd side faces which are specified with said die-length direction dimension and said thickness direction dimension and which carry out phase opposite, It has the body of a capacitor which has the 1st and 2nd end faces which are specified with said crosswise dimension and said thickness direction dimension, and which carry out phase opposite. And said body of a capacitor It has at least one pair of

1st and 2nd internal electrodes which counter mutually through said specific dielectric layer so that two or more dielectric layers prolonged in the direction of said principal plane and a capacitor unit may be formed. Said 1st internal electrode is prolonged so that between said 1st and 2nd end faces may be connected. And said 2nd internal electrode It extends so that between said 1st and 2nd side faces may be connected. On said 1st and 2nd end faces The 1st and 2nd end-face terminal electrodes connected electrically are prepared in each edge of said 1st internal electrode, respectively. On said 1st and 2nd side faces It is the multilayer capacitor from which the 1st and 2nd side-face terminal electrodes connected electrically are prepared in each edge of said 2nd internal electrode, respectively, and said crosswise dimension of said body of a capacitor is chosen within the limits of 0.9 to 1.1 times of said die-length direction dimension.

[Claim 2] Each width of face of said 1st and 2nd internal electrodes is the multilayer capacitor of the publication of claim 1 which has the equal dimension uniformly mutually, respectively.

[Claim 3] Said die-length direction dimension and said crosswise dimension of said body of a capacitor are the multilayer capacitor of claim 1 or the publication of two chosen within the limits of 1.5-4.0mm.

[Claim 4] The dimension of each width of face of said 1st and 2nd internal electrodes is a multilayer capacitor according to claim 3 chosen within the limits of 0.9-2.5mm.

[Claim 5] It is the multilayer capacitor according to claim 1 to 4 chosen so that said a and said b may be set to $0.45 \leq b/a \leq 0.90$ when said die-length direction dimension and said crosswise dimension are set to a and width of face of said 1st internal electrode and width of face of said 2nd internal electrode are set to b.

[Claim 6] Said a and said b are a multilayer capacitor according to claim 5 chosen so that it may be set to $0.50 \leq b/a \leq 0.85$.

[Claim 7] The specific inductive capacity of the dielectric which constitutes said dielectric layer is a multilayer capacitor according to claim 1 to 6 which is 50 or

less.

[Claim 8] A multilayer capacitor [equipped with said two or more pairs of 1st and 2nd internal electrodes] according to claim 1 to 7.

[Claim 9] For said 1st and 2nd internal electrodes, said 1st and 2nd principal planes of said body of a capacitor are the multilayer capacitors according to claim 1 to 8 arranged in the location which inclined toward the side either.

[Claim 10] The multilayer capacitor according to claim 1 to 9 whose primary resonance frequency of the is 1GHz or more and whose secondary resonance frequency is 1.5 or more times of primary resonance frequency.

[Claim 11] An electronic instrument equipped with the wiring substrate which is located so that a multilayer capacitor according to claim 1 to 10 and said 1st or 2nd principal plane may be countered, and mounts said multilayer capacitor.

[Claim 12] An electronic instrument equipped with the wiring substrate which is located so that either of said 1st and 2nd principal planes of said body of a capacitor in the according to claim 9 multilayer capacitor and location side where said 1st and 2nd internal electrodes inclined may be countered, and mounts said multilayer capacitor.

[Claim 13] A RF circuit equipped with a multilayer capacitor according to claim 1 to 10.

[Claim 14] The RF circuit which uses the multilayer capacitor according to claim 10 as a decoupling capacitor, the capacitor for impedance matching, the capacitor for DC cut, or low-pass one / capacitor for high-pass filters.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the multilayer capacitor which may be especially applied advantageously in a high frequency circuit about a multilayer capacitor.

[0002] This invention relates to the electronic instrument and RF circuit which are constituted again using a multilayer capacitor which was mentioned above.

[0003]

[Description of the Prior Art] There are some which were indicated by JP,49-127736,U as a conventional multilayer capacitor interesting for this invention. The multilayer capacitor indicated here has the structure where reduction-ization of residual inductance can be attained, and consideration which is suitable for use in a RF region is made.

[0004] Namely, this multilayer capacitor is equipped with the body of a capacitor which makes the shape of a rectangular parallelepiped specified with a crosswise dimension shorter than the die-length direction dimension and this die-length direction dimension and the thickness direction dimension. an end-face terminal electrode is prepared on each of two end faces which are specified with the crosswise dimension and the thickness direction dimension in this body of a capacitor and which carry out phase opposite, and the side-face terminal electrode is prepared on each of two side faces which are specified with the die-length direction dimension and the thickness direction dimension and which carry out phase opposite.

[0005] Moreover, the 1st and 2nd internal electrodes which counter mutually through a dielectric layer are formed in the interior of the body of a capacitor, and

among these 1st and 2nd internal electrodes, the 1st internal electrode is prolonged so that between two end faces of the body of a capacitor may be connected, and it is electrically connected to an above-mentioned end-face terminal electrode in each of that edge. Moreover, the 2nd internal electrode is prolonged so that between two side faces of the body of a capacitor may be connected, and it is electrically connected to an above-mentioned side-face terminal electrode in each of that edge.

[0006] Thus, since the multilayer capacitor indicated by the above-mentioned official report is equipped with four terminal electrodes prepared, respectively on two end faces of the body of a capacitor, and two side faces, it can make residual inductance small compared with a thing equipped with two terminal electrodes which are the conventional typical multilayer capacitors.

[0007]

[Problem(s) to be Solved by the Invention] However, in order to correspond to the further RF-ization of the electronic circuitry where such a multilayer capacitor is used although residual inductance can be indeed made small if it compares with the multilayer capacitor which is equipped with two conventional typical terminal electrodes according to the multilayer capacitor equipped with the four above terminal electrodes, reduction-ization of much more residual inductance (ESL), i.e., an equivalence serial inductance, is just going to desire.

[0008] Then, the purpose of this invention is offering the multilayer capacitor which enables further reduction-ization of an equivalence serial inductance (ESL).

[0009] Other purposes of this invention are offering the electronic instrument and RF circuit which are constituted using a multilayer capacitor which was mentioned above.

[0010]

[Means for Solving the Problem] The multilayer capacitor concerning this invention like the case of the conventional multilayer capacitor The appearance is specified with the die-length direction dimension, a crosswise dimension, and the thickness direction dimension. The 1st and 2nd principal planes which are

specified with the die-length direction dimension and a crosswise dimension and which carry out phase opposite, It has the body of a capacitor which has the 1st and 2nd end faces which are specified with the 1st and 2nd side faces which are specified with the die-length direction dimension and the thickness direction dimension, and which carry out phase opposite, a crosswise dimension, and the thickness direction dimension, and which carry out phase opposite.

[0011] This body of a capacitor is equipped with at least one pair of 1st and 2nd internal electrodes which counter mutually through a specific dielectric layer so that two or more dielectric layers prolonged in the direction of a principal plane and a capacitor unit may be formed.

[0012] The 1st internal electrode is prolonged so that between the 1st and 2nd end faces may be connected, and the 2nd internal electrode is prolonged so that between the 1st and 2nd side faces may be connected.

[0013] Moreover, on the 1st and 2nd end faces, the 1st and 2nd end-face terminal electrodes electrically connected to each edge of the 1st internal electrode are prepared, respectively, and the 1st and 2nd side-face terminal electrodes electrically connected to each edge of the 2nd internal electrode, respectively are prepared on the 1st and 2nd side faces.

[0014] the place which boiled and changed various ratios with the die-length direction dimension of the body of a capacitor, and calculated ESL in order to solve the technical technical problem mentioned above in a multilayer capacitor equipped with such a configuration -- these die-length direction dimension and a crosswise dimension -- mutual -- etc. -- it comes to make a header and this invention for the ability of ESL to be made the smallest by [which are spread] carrying out.

[0015] On the other hand, when it is going to acquire the body of a capacitor in manufacturing a multilayer capacitor, it varies, and there is nothing and it is comparatively difficult [it / when the die-length direction dimension and a crosswise dimension are mutually made equal as mentioned above, ESL can be made the smallest, but] to always stabilize the die-length direction dimension

and crosswise dimension, and to obtain an equal mutually.

[0016] So, in this invention, when the die-length direction dimension and a crosswise dimension are mutually equal, the proper range about the ratio of the die-length direction dimension and the crosswise dimension which are stabilized and can make ESL small is offered. That is, in this invention, the crosswise dimension of the body of a capacitor is characterized by being chosen within the limits of 0.9 to 1.1 times of the die-length direction dimension.

[0017] As for each width of face of the 1st and 2nd internal electrodes, in this invention, it is desirable respectively to have the equal dimension uniformly mutually.

[0018] Moreover, in this invention, the die-length direction dimension and the crosswise dimension of the body of a capacitor are preferably chosen within the limits of 1.5-4.0mm. And the dimension of each width of face of the 1st and 2nd internal electrodes is more preferably chosen within the limits of 0.9-2.5mm in this case.

[0019] Moreover, in this invention, when the die-length direction dimension and the crosswise dimension of the body of a capacitor are set to a and width of face of the 1st internal electrode and width of face of the 2nd internal electrode are set to b, as for these [a and b], it is desirable to be chosen so that it may be set to $0.45 \leq b/a \leq 0.90$, and they are chosen so that it may be more preferably set to $0.50 \leq b/a \leq 0.85$.

[0020] Moreover, as for the specific inductive capacity of the dielectric which constitutes a dielectric layer, in this invention, it is desirable that it is 50 or less.

[0021] Moreover, what is necessary is just to prepare the 1st and 2nd internal electrodes two or more pairs, in order to acquire high capacity in the multilayer capacitor concerning this invention.

[0022] Moreover, the 1st and 2nd internal electrodes may be arranged in the location which inclined toward any of the 1st and 2nd principal planes of the body of a capacitor, or a side.

[0023] When it is going to constitute an electronic instrument with this multilayer

capacitor and the wiring substrate which mounts this in an above-mentioned case, it is desirable to be located so that either of the 1st and 2nd principal planes of the body of a capacitor in the location side where the 1st and 2nd internal electrodes inclined may counter a wiring substrate.

[0024] Moreover, as for the multilayer capacitor concerning this invention, it is desirable that that primary resonance frequency is 1GHz or more, and secondary resonance frequency is 1.5 or more times of primary resonance frequency.

[0025] The above multilayer capacitors can be advantageously used in a high frequency circuit as a decoupling capacitor, the capacitor for impedance matching, the capacitor for DC cut, or low-pass one / capacitor for high-pass filters.

[0026] This invention is turned also to an electronic instrument equipped with the wiring substrate which is located so that the above multilayer capacitors and the 1st or 2nd principal plane of the body of a capacitor may be countered again, and mounts a multilayer capacitor.

[0027] Moreover, this invention is turned also to a RF circuit equipped with the above multilayer capacitors.

[0028]

[Embodiment of the Invention] Drawing 1 is the perspective view showing the appearance of the multilayer capacitor 1 by 1 operation gestalt of this invention. Drawing 2 is the top view showing the internal structure of the multilayer capacitor 1 shown in drawing 1 with a specific cross section, and (1) and (2) express a mutually different cross section in drawing 2 .

[0029] The multilayer capacitor 1 is equipped with the body 2 of a capacitor as which an appearance is specified with the die-length direction dimension L, the crosswise dimension W, and the thickness direction dimension T. The body 2 of a capacitor has the 1st and 2nd end faces 7 and 8 which are specified with the 1st and 2nd side faces 5 and 6 which are specified with the 1st and 2nd principal planes 3 and 4, the die-length direction dimension L, and the thickness direction dimension T which are specified with the die-length direction dimension L and the

crosswise dimension W, and which carry out phase opposite, and which carry out phase opposite, the crosswise dimension W, and the thickness direction dimension T and which carry out phase opposite.

[0030] Moreover, the body 2 of a capacitor is equipped with two or more dielectric layers 9 prolonged in the direction of principal planes 3 and 4, and the 1st and 2nd internal electrodes 10 and 11 which counter mutually through the specific dielectric layer 9 so that a capacitor unit may be formed. Even if only one pair is prepared, the 1st and 2nd internal electrodes 10 and 11 may be formed two or more pairs so that clearly from other operation gestalten mentioned later.

[0031] Drawing 2 (1) shows the cross section along which the 1st internal electrode 10 passes, and drawing 2 (2) shows the cross section along which the 2nd internal electrode 11 passes.

[0032] As shown in drawing 2 (1), the 1st internal electrode 10 is prolonged so that between the 1st and 2nd end faces 7 of the body 2 of a capacitor and 8 may be connected. Moreover, as shown in drawing 2 (2), the 2nd internal electrode 11 is prolonged so that between the 1st and 2nd side faces 5 of the body 2 of a capacitor and 6 may be connected.

[0033] Moreover, with this operation gestalt, it has the equal dimension respectively uniformly [each width of face of the 1st and 2nd internal electrodes 10 and 11] mutually.

[0034] Moreover, on the 1st and 2nd end faces 7 of the body 2 of a capacitor, and 8, the 1st and 2nd end-face terminal electrodes 12 and 13 electrically connected to each edge of the 1st internal electrode 10 are formed, respectively, and the 1st and 2nd side-face terminal electrodes 14 and 15 electrically connected to each edge of the 2nd internal electrode 11, respectively are formed on the 1st and 2nd side faces 5 and 6.

[0035] In such a multilayer capacitor 1, the crosswise dimension W of the body 2 of a capacitor is chosen within the limits of 0.9 to 1.1 times of the die-length direction dimension L. The desirable ratio of such the die-length direction dimension L and the crosswise dimension W is called for based on the following

experiments.

[0036] fixing to 2.0mm, as shown in Table 1, the die-length direction dimension L, i.e., L dimension, of the body of a capacitor, various crosswise dimensions W, i.e., W dimensions, were boiled and changed, the multilayer capacitor concerning the samples 1-7 which changed the ratio of L and W by it was manufactured, and ESL of each multilayer capacitor was calculated.

[0037]

[Table 1]

試料番号	LとWの比	L寸法[mm]	W寸法[mm]	ESL[pH]
1	1:0.6	2.0	1.2	117
2	1:0.8	2.0	1.6	113
3	1:0.9	2.0	1.8	106
4	1:1	2.0	2.0	106
5	1:1.1	2.0	2.2	107
6	1:1.2	2.0	2.4	140
7	1:1.4	2.0	2.8	179

[0038] The width of face of an internal electrode was fixed to 1.0mm in this experiment. Moreover, one pair of 1st and 2nd internal electrodes were formed, and thickness of the dielectric layer between these internal electrodes was set to 100 micrometers. Moreover, specific inductive capacity used the thing of 25 as a dielectric which constitutes a dielectric layer.

[0039] With reference to Table 1, like a sample 4, when the ratio of L and W is 1:1, ESL can be made the smallest. Moreover, like samples 3, 4, and 5, when the ratio of L and W is within the limits of 1:0.9 to 1:1.1, ESL is stable in the comparatively low value.

[0040] From this, in order to stabilize ESL low, the crosswise dimension W of the body of a capacitor is understood that it is desirable to be chosen within the limits of 0.9 to 1.1 times of the die-length direction dimension L.

[0041] As mentioned above, it is considered to be based on the following reason by choosing the crosswise dimension W within the limits of 0.9 to 1.1 times of the die-length direction dimension L that ESL can be made small.

[0042] With reference to drawing 2 , there are a part which overlaps other internal electrodes mutually, and a part not overlapping in each of the 1st and 2nd internal electrodes 10 and 11. In the part which internal electrodes 10 and 11 overlap, since the current (the arrow head of a continuous line and a dotted line shows.) of a different direction flows, the magnetic flux by which induction is carried out is mutually offset by these currents, and can make ESL small according to them. On the other hand, in each part of internal electrodes 10 and 11 which do not overlap mutually, since a current flows only to an one direction, it acts so that ESL may be enlarged compared with the overlapping part which was mentioned above.

[0043] However, the die-length direction dimension L of the body 2 of a capacitor and the crosswise dimension W can make equal mutually the path length of the current which flows in relation to these four fields not overlapping, respectively since, as for four fields in internal electrodes 10 and 11 not overlapping, a dimension becomes the same mutually in being mutually equal. Therefore, when the magnetic flux in which induction is carried out by the current which flows in relation to the field which does not suit in these piles is seen as a whole, it acts so that each other may be offset mutually, and can avoid causing increase of ESL so much.

[0044] On the other hand, since the dimensions of four fields in an internal electrode not overlapping differ greatly mutually when the die-length direction dimension and the crosswise dimension of the body of a capacitor differ from each other comparatively greatly, an ununiformity is produced in the path length of the current which flows in relation to these four fields not overlapping, respectively. Therefore, sufficient counter acting effect of magnetic flux is not acquired, but it is thought that increase of ESL is caused.

[0045] In addition, in order to make equal mutually the dimension of four fields in internal electrodes 10 and 11 not overlapping and to make it not cause increase of ESL as mentioned above, as shown in drawing 2 , it is desirable that each width of face of the 1st and 2nd internal electrodes 10 and 11 has the equal

dimension respectively uniformly mutually.

[0046] Next, like the multilayer capacitor 1 shown in drawing 2 , making equal mutually the die-length direction dimension L of the body of a capacitor, and the crosswise dimension W, these LW(s) dimension was changed in the range from 1.0mm** to 5.0mm**, and the experiment which calculates ESL was conducted according to it about the various multilayer capacitors which changed each width of face of the 1st and 2nd internal electrodes in 0.4mm - 2.5mm, and were obtained. This experimental result is shown in the following table 2. In addition, in this experiment, it was presupposed about other conditions that it is the same as that of the experiment mentioned above.

[0047]

[Table 2]

試料番号	LW寸法	内部電極幅[mm]	ESL[pH]
11	1.0mm□	0.4	269
12	1.5mm□	0.9	87
13	2.0mm□	1.4	54
14	3.0mm□	2.0	63
15	4.0mm□	2.5	82
16	4.5mm□	2.5	110
17	5.0mm□	2.5	149

[0048] With reference to Table 2, like samples 12-15, when LW dimension is within the limits of 1.5mm** to 4.0mm**, ESL is stabilized and it is low.

[0049] If LW dimension is generally enlarged in relation to this, width of face of an internal electrode can be made large, and the degree of current concentration of the place where an internal electrode and a terminal electrode are connected can be weakened. Therefore, ESL can be made small by enlarging LW dimension.

[0050] However, like samples 16 and 17, if LW dimension is made larger than 4.0mm**, ESL will become extremely high. This is considered to be because for the dimension of the part in an internal electrode not overlapping to become large. Moreover, if LW dimension becomes large in this way, the problem it becomes impossible to disregard the stray capacity which may be produced between an

internal electrode and a terminal electrode will also be produced.

[0051] On the other hand, if LW dimension becomes smaller than 1.5mm** and the margin of 0.3mm of each ** will be taken in the formation field of an internal electrode like a sample 11, the width of face of an internal electrode becomes small even to 0.4mm, therefore ESL becomes extremely high.

[0052] As mentioned above, according to the experimental result shown in Table 2, as for LW dimension, it is desirable that it is within the limits of 1.5mm** to 4.0mm**, and, as for the dimension of each width of face of an internal electrode, it is desirable to be chosen within the limits of 0.9-2.5mm.

[0053] Moreover, as shown in drawing 3, when the die-length direction dimension and the crosswise dimension of the body 2 of a capacitor are set to a and width of face of the 1st internal electrode 10 and width of face of the 2nd internal electrode 11 are set to b, the desirable range exists about ratio b/a with these [a and b].

[0054] That is, as for b/a, it is desirable that it is in the range of $0.45 \leq b/a \leq 0.90$, and it is more desirable that it is in the range of $0.50 \leq b/a \leq 0.85$. The desirable range about such b/a is called for based on the following data.

[0055] In each **** which set a to 1.0mm, 2.0mm, 3.0mm, and 4.0mm, ESL of the various multilayer capacitors which changed b/a in 0.3-0.9 and were obtained is shown in Table 3.

[0056]

[Table 3]

	b/a=0.9	b/a=0.85	b/a=0.8	b/a=0.6	b/a=0.5	b/a=0.45	b/a=0.35	b/a=0.3
a=1.0mm	48pH	54pH	62pH	110pH	160pH	200pH	300pH	380pH
a=2.0mm	20pH	24pH	31pH	80pH	120pH	150pH	250pH	310pH
a=3.0mm	16pH	21pH	27pH	70pH	110pH	130pH	220pH	280pH
a=4.0mm	17pH	23pH	29pH	70pH	110pH	130pH	220pH	280pH

[0057] Moreover, the ratio of the primary resonance frequency about each multilayer capacitor in which ESL was shown in Table 1, secondary resonance frequency, and secondary resonance frequency / primary resonance frequency is shown in Table 4.

[0058]

[Table 4]

		b/a=0.95	b/a=0.9	b/a=0.85	b/a=0.8	b/a=0.6	b/a=0.5	b/a=0.45	b/a=0.35	b/a=0.3
a=1.0mm	1次共振	12GHz	12GHz	12GHz	12GHz	12GHz	12GHz	12GHz	13GHz	13GHz
	2次共振	23GHz	24GHz	26GHz	28GHz	37GHz	40GHz	41GHz	44GHz	45GHz
	2次/1次	1.91	2.00	2.17	2.33	3.08	3.33	3.41	3.38	3.46
a=2.0mm	1次共振	9.6GHz	9.4GHz	9.2GHz	8.5GHz	7.1GHz	6.9GHz	6.8GHz	6.8GHz	7.2GHz
	2次共振	10GHz	12GHz	14GHz	15GHz	21GHz	25GHz	27GHz	32GHz	34GHz
	2次/1次	1.04	1.28	1.52	1.76	2.96	3.62	3.97	4.71	4.72
a=3.0mm	1次共振	7.4GHz	7.0GHz	6.5GHz	6.0GHz	5.1GHz	4.9GHz	4.9GHz	4.9GHz	5.1GHz
	2次共振	7.6GHz	8.6GHz	9.8GHz	10GHz	15GHz	18GHz	19GHz	24GHz	27GHz
	2次/1次	1.03	1.23	1.51	1.67	2.94	3.67	3.88	4.90	5.29
a=4.0mm	1次共振	5.5GHz	5.1GHz	4.6GHz	4.4GHz	3.8GHz	3.6GHz	3.6GHz	3.7GHz	3.8GHz
	2次共振	5.9GHz	6.5GHz	7.4GHz	8.1GHz	11GHz	13GHz	15GHz	19GHz	21GHz
	2次/1次	1.07	1.27	1.61	1.84	2.89	3.61	4.17	5.14	5.53

[0059] If there is an inclination for ESL to become higher and b/a is less than 0.45 especially as are shown in Table 3, and b/a becomes small, ESL will become high rapidly.

[0060] As mentioned above, if b/a becomes small, in each of the 1st and 2nd internal electrodes 10 and 11, the area of the part which the 1st and 2nd internal electrodes 10 and 11 do not overlap mutually will become large, and the degree of current concentration in the cash-drawer parts of the end-face terminal electrodes 12 and 13 and the side-face terminal electrodes 14 and 15 through which it passes, respectively will become high. It is thought that the degree of such current concentration depends on becoming it high that ESL becomes high as are mentioned above and b/a becomes small.

[0061] As for this to b/a , it is desirable that it is 0.45 or more, and in order to be stabilized more and to attain low ESL-ization, it is desirable that b/a is 0.50 or more.

[0062] On the other hand, in Table 4, the phenomenon in which each resonance frequency of primary resonance and secondary resonance becomes nearer is

seen as b/a becomes large. In addition, primary resonance is resonance by the capacity and ESL of multilayer capacitor 1 original, and secondary resonance is resonance produced with the stray capacity generated among the end-face terminal electrodes 12 and 13 which are not connected with the stray capacity and the 2nd internal electrode 11 which are generated among the side-face terminal electrodes 14 and 15 which are not connected with the 1st internal electrode 10 at this at this.

[0063] When b/a exceeds 0.9 especially, it is the case where b/a is 0.95 and primary resonance and secondary resonance will lap with each **** whose a is 2.0mm, 3.0mm, and 4.0mm mostly. The stray capacity which a mentioned above when, and b became large becomes large, and this is produced when secondary resonance frequency moves to a low frequency side. [comparatively]

[0064] If the secondary resonance point approaches the primary resonance point, since the frequency characteristics of a multilayer capacitor 1 will worsen and will shift to a low frequency side, a frequency region usable as a capacitor will fall and it will stop thus, being suitable for a RF application.

[0065] From an above-mentioned thing, an operating frequency region can say 1GHz or more especially that it is desirable that secondary resonance frequency is 1.5 or more times of primary resonance frequency in the RF circuit of an operating frequency region 5GHz or more. In order for it to fill preferably and more certainly that b/a carries out to 0.9 or less in order to fill this, carrying out to 0.85 or less is desirable.

[0066] While being stabilized and making ESL low from the above thing, in order to be suitable for a RF application, as for b/a , it is desirable that it is the range of $0.45 \leq b/a \leq 0.90$, and considering as the range of $0.50 \leq b/a \leq 0.85$ is more desirable.

[0067] As mentioned above, a multilayer capacitor 1 is turned in favor of the RF application especially preferably of [1GHz or more] 5GHz or more in an operating frequency region.

[0068] In such a frequency region, if the conventional most typical 2 terminal

capacitor is used, ESL is high, and since the resonance point is located in a low frequency side, even if it cannot function as a capacitor and may function, the capacitor which may function will be restricted to what has a very small capacity. From this, the capacitor of low ESL with a large and capacity is called for, and the multilayer capacitor 1 concerning this operation gestalt fills this request.

[0069] A multilayer capacitor 1 is advantageously used in a high frequency circuit as a decoupling capacitor, the capacitor for impedance matching, the capacitor for DC cut, or low-pass one / capacitor for high-pass filters.

[0070] Moreover, as for a RF circuit 1GHz or more, an operating frequency region is used in a cellular phone or its base station, and, as for the RF circuit 5GHz or more, the operating frequency region is used in for example, non-LAN (5-30GHz), satellite communication (10-20GHz), ETC (5GHz-), etc. The RF circuit which drawing 4 shows the example and was shown here is a circuit of the amplifier of the receiving side of the cellular phone for satellite communication (operating frequency of 12GHz).

[0071] In order to cut the dc component of a signal which results from an input terminal 16 to an output terminal 17 with reference to drawing 4 , the capacitors 18 and 19 for DC cut are connected. Moreover, in relation to this signal line, the capacitors 20 and 21 for impedance matching are connected. Moreover, direct current voltage Vcc is impressed between the source-drains of a transistor 22.

[0072] In the high frequency circuit mentioned above, the multilayer capacitor 1 by the operation gestalt of this invention can be advantageously used as the capacitors 18 and 19 for DC cut, and capacitors 20 and 21 for impedance matching. If it is in the capacitors 18 and 19 for DC cut especially, since more excellent frequency characteristics are required, as mentioned above, it is desirable as such capacitors 18 and 19 for DC cut to use that in which secondary resonance frequency has the property of 1.5 or more times of primary resonance frequency.

[0073] Moreover, as for the specific inductive capacity of the dielectric which constitutes a dielectric layer 9, in a multilayer capacitor 1, it is desirable that it is

50 or less. The conditions that such specific inductive capacity is desirable are searched for based on the following experiments.

[0074] In the multilayer capacitor 1 which set to 2.0mm a shown in drawing 3 , and set b to 1.7mm, it asked for the ratio of the primary resonance frequency when designing so that the same capacity may be obtained, secondary resonance frequency, and secondary resonance frequency / primary resonance frequency, respectively, changing the specific inductive capacity epsilon of the dielectric which constitutes a dielectric layer 9 in 10-100, as shown in Table 5.

[0075]

[Table 5]

	$\epsilon = 10$	$\epsilon = 25$	$\epsilon = 35$	$\epsilon = 50$	$\epsilon = 100$
1次共振	6.4GHz	6.3GHz	6.3GHz	6.1GHz	6.1GHz
2次共振	23GHz	14GHz	12GHz	10GHz	6.6GHz
2次/1次	3.59	2.22	1.90	1.64	1.08

[0076] The phenomenon in which secondary resonance frequency approaches primary resonance frequency more is seen as are shown in Table 5 and specific inductive capacity epsilon becomes large.

[0077] If epsilon exceeds 50, for example, it is set to 100, it will be less than 1.5 which is the minimum of the desirable conditions in the case of the ratio of secondary resonance frequency / primary resonance frequency being set to 1.08, and being turned to the RF application mentioned above. In order to enable it to use a multilayer capacitor 1 in a high frequency application from this, being stabilized more, as for specific inductive capacity epsilon, carrying out to 50 or less is desirable.

[0078] Some electronic instruments equipped with the wiring substrate 23 which is located in drawing 5 so that it may counter, the body 2 4 of a capacitor, for example, 2nd principal plane, of a multilayer capacitor 1 and this multilayer capacitor 1, and mounts a multilayer capacitor 1 are shown.

[0079] As shown in drawing 5 , when a multilayer capacitor is mounted on a wiring substrate, for example, as a multilayer capacitor Like multilayer capacitor

1a shown in drawing 6 , the 1st and 2nd internal electrodes 10 and 11 What is arranged in the location which inclined toward the body 2 4, for example, 2nd principal plane, side of a capacitor is used. It is desirable that it is made to mount multilayer capacitor 1a on the wiring substrate 23 where the wiring substrate 23 is located so that the 2nd principal plane 4 in the location side where these 1st and 2nd internal electrodes 10 and 11 inclined may be countered.

[0080] Since according to the mounting structure shown in drawing 6 internal electrodes 10 and 11 can be made to be able to approach with the wiring substrate 23 and can be arranged, it can shorten compared with the case of the multilayer capacitor 1 which showed the distance of the current which flows through the terminal electrodes 12-15 to drawing 5 , and ESL can be made smaller by it.

[0081] Drawing 7 is the sectional view showing multilayer capacitor 1b by the operation gestalt of further others of this invention in illustration.

[0082] In multilayer capacitor 1b shown in drawing 7 , it is prepared so that three pairs of 1st and 2nd internal electrodes 10 and 11 may counter mutually.

[0083] Like multilayer capacitor 1b shown in drawing 7 , bigger electrostatic capacity can be obtained by carrying out parallel connection with the terminal electrodes 14 and 15 and the terminal electrodes 12 and 13 (referring to drawing 2) which are not illustrated which two or more capacitor units were formed and the capacitor unit of these plurality illustrated by making the number of the parts of the 1st internal electrode 10 and the 2nd internal electrode 11 which counter into plurality.

[0084] As mentioned above, although explained in relation to the operation gestalt illustrating this invention, various modifications are possible within the limits of this invention.

[0085]

[Effect of the Invention] As mentioned above, it extends so that between the 1st [as which the 1st internal electrode is specified with the crosswise dimension and the thickness direction dimension of the body of a capacitor / which carries

out phase opposite], and 2nd end faces may be connected according to this invention. And the 2nd internal electrode which counters through a dielectric layer to this 1st internal electrode It extends so that between the 1st [which is specified with the die-length direction dimension and the thickness direction dimension of the body of a capacitor / which carries out phase opposite], and 2nd side faces may be connected. On the 1st and 2nd end faces The 1st and 2nd end-face terminal electrodes connected electrically are prepared in each edge of the 1st internal electrode, respectively. On the 1st and 2nd side faces In the multilayer capacitor with which the 1st and 2nd side-face terminal electrodes connected electrically are prepared in each edge of the 2nd internal electrode, respectively Since the crosswise dimension of the body of a capacitor is chosen within the limits of 0.9 to 1.1 times of the die-length direction dimension, according to the current which flows to a multilayer capacitor, the magnetic flux by which induction is carried out can be effectively offset now, and ESL of a multilayer capacitor can be made small.

[0086] Therefore, the resonance frequency of a multilayer capacitor can be raised,-izing of the frequency region which functions as a capacitor of a multilayer capacitor can be carried out [high frequency], and it can respond now to high frequency-ization of the electronic circuitry where such a multilayer capacitor is applied enough.

[0087] Moreover, in this invention, one specific numeric value is not given about the desirable ratio of the die-length direction dimension of the body of a capacitor, and a crosswise dimension. Since the numeric value which has width of face, such as 0.9-1.1, is given as mentioned above In manufacturing a multilayer capacitor, it can respond also to dispersion in the process which acquires the body of a capacitor to some extent, and production efficiency of a multilayer capacitor cannot be spoiled, and the efficiency of a design of a multilayer capacitor can also be raised.

[0088] Moreover, according to this invention, since a terminal electrode is prepared upwards respectively and each terminal electrode has the structure of

two end faces and two side faces connected to the edge of one of internal electrodes while making it equal substantially whether the die-length direction dimension and the crosswise dimension of the body of a capacitor are mutually equal, the directivity about the die-length direction and the cross direction of the body of a capacitor can be abolished substantially. Therefore, the process for formation of the handling and terminal electrode of a multilayer capacitor can be advanced efficiently.

[0089] In this invention, if each width of face of the 1st and 2nd internal electrodes has the equal dimension respectively uniformly mutually Since four fields which do not overlap other internal electrodes in an internal electrode can be mutually made into an equal dimension substantially Since it can be made to act so that the magnetic flux in which induction is carried out by the current which flows in the part which does not suit in these piles may be offset mutually as a whole, further reduction-ization of ESL can be attained.

[0090] Moreover, since it is hard coming to generate electric-field concentration in the specific part of each internal electrode as mentioned above when each width of face of an internal electrode is uniform respectively (i.e., when an internal electrode does not form an angle in the periphery section), the withstand voltage of a multilayer capacitor can be raised.

[0091] Moreover, in this invention, if choose the die-length direction dimension and the crosswise dimension of the body of a capacitor within the limits of 1.5-4.0mm, the dimension of each width of face of the 1st and 2nd internal electrodes is further chosen within the limits of 0.9-2.5mm or it carries out, the reduction effectiveness of ESL which was mentioned above can be attained more certainly.

[0092] Moreover, when the die-length direction dimension and the crosswise dimension of the body of a capacitor are set to a and width of face of the 1st internal electrode and width of face of the 2nd internal electrode are set to b in this invention, $0.45 \leq b/a \leq 0.90$ -- more preferably If it chooses so that it may be set to $0.50 \leq b/a \leq 0.85$, while being stabilized more and being able to make

ESL low The fall of the frequency characteristics caused when each resonance frequency of the secondary resonance by stray capacity and original primary resonance approaches can be prevented more certainly.

[0093] Moreover, in this invention, it can consider as the multilayer capacitor which could make hard to produce the phenomenon in which secondary resonance frequency became near to primary resonance frequency, and fitted the high frequency application by making or less into 50 specific inductive capacity of the dielectric which constitutes a dielectric layer.

[0094] Moreover, in this invention, if it has two or more 1st and 2nd internal electrodes, it can consider as the multilayer capacitor which gives larger electrostatic capacity.

[0095] moreover, the 1st and 2nd internal electrodes -- either of the 1st and 2nd principal planes of the body of a capacitor -- when arranged in the location which inclined toward the side, distance of the current which flows through a terminal electrode by locating a wiring substrate can be shortened more so that either of the 1st and 2nd principal planes in this partial location side may be countered, and low ESL-ization by it can also be attained.

[0096] Moreover, when the primary resonance frequency of the multilayer capacitor concerning this invention is 1GHz or more and secondary resonance frequency is 1.5 or more times of primary resonance frequency, secondary resonance affects primary resonance, frequency characteristics are reduced, and since it can prevent certainly that the primary resonance point shifts to a low frequency side, it can be used as the capacitor suitable for a high frequency application. Therefore, such a multilayer capacitor can be advantageously used in a high frequency circuit as a decoupling capacitor, the capacitor for impedance matching, the capacitor for DC cut, or low-pass one / capacitor for high-pass filters.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the perspective view showing the appearance of the multilayer capacitor 1 by 1 operation gestalt of this invention.

[Drawing 2] It is the top view showing the internal structure of the multilayer capacitor 1 shown in drawing 1, and (1) is shown with the cross section along which the 1st internal electrode 10 passes, and (2) is shown with the cross section along which the 2nd internal electrode 11 passes.

[Drawing 3] It is the top view showing the body 2 of a capacitor with which the multilayer capacitor 1 shown in drawing 1 is equipped, and is for explaining the relation between a as the die-length direction dimension and the crosswise dimension of the body 2 of a capacitor, and the width of face b of internal electrodes 10 and 11.

[Drawing 4] The multilayer capacitor 1 shown in drawing 1 is drawing showing the circuit of the amplifier of the receiving side of the cellular phone for satellite communication as an example of the RF circuit applied advantageously.

[Drawing 5] It is a front view for explaining the mounting structure to the wiring substrate 23 of the multilayer capacitor 1 shown in drawing 1.

[Drawing 6] It is a front view for explaining the mounting structure to the wiring substrate 23 of multilayer capacitor 1a by other operation gestalten of this

invention.

[Drawing 7] It is the front view showing the internal structure of multilayer capacitor 1b by the operation gestalt of further others of this invention.

[Description of Notations]

- 1, 1a, 1b Multilayer capacitor
- 2 Body of Capacitor
- 3 1st Principal Plane
- 4 2nd Principal Plane
- 5 1st Side Face
- 6 2nd Side Face
- 7 1st End Face
- 8 2nd End Face
- 9 Dielectric Layer
- 10 1st Internal Electrode
- 11 2nd Internal Electrode
- 12 1st End-Face Terminal Electrode
- 13 2nd End-Face Terminal Electrode
- 14 1st Side-Face Terminal Electrode
- 15 2nd Side-Face Terminal Electrode
- 18 19 Capacitor for DC cut
- 20 21 Capacitor for impedance matching
- 23 Wiring Substrate

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

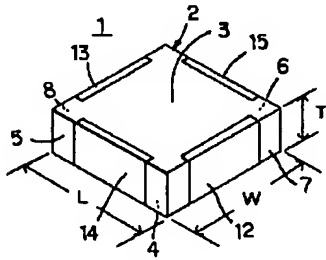
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

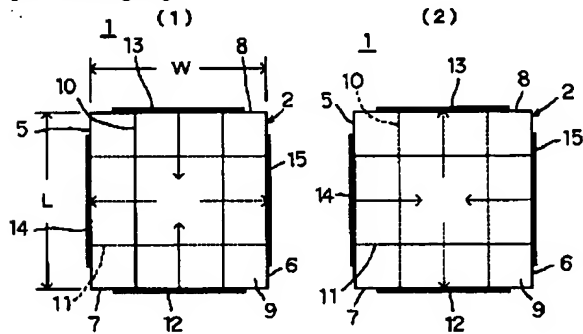
3.In the drawings, any words are not translated.

DRAWINGS

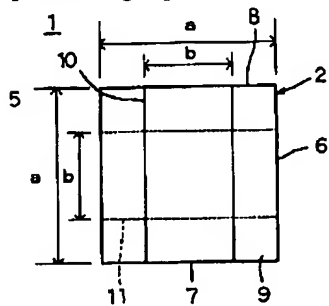
[Drawing 1]



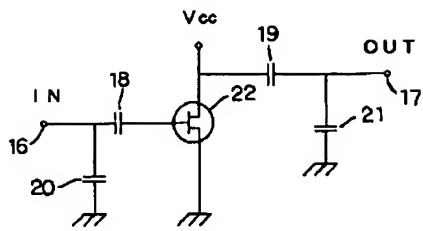
[Drawing 2]



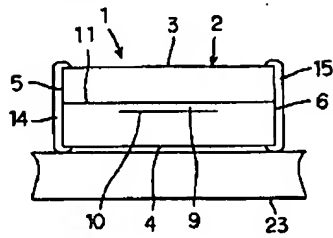
[Drawing 3]



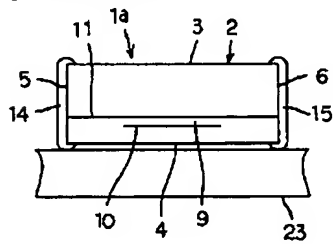
[Drawing 4]



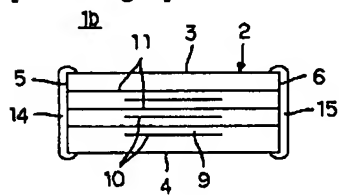
[Drawing 5]



[Drawing 6]



[Drawing 7]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-28318

(P2001-28318A)

(43) 公開日 平成13年1月30日 (2001.1.30)

(51) Int.Cl.⁷

H 0 1 G 4/30

識別記号

3 0 1

F I

H 0 1 G 4/30

テマコード(参考)

3 0 1 F 5 E 0 8 2

審査請求 未請求 請求項の数14 O L (全 10 頁)

(21) 出願番号 特願2000-81428(P2000-81428)

(22) 出願日 平成12年3月23日 (2000.3.23)

(31) 優先権主張番号 特願平11-127909

(32) 優先日 平成11年5月10日 (1999.5.10)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 黒田 蒼一

京都府長岡京市天神二丁目26番10号 株式

会社村田製作所内

(72) 発明者 内藤 康行

京都府長岡京市天神二丁目26番10号 株式

会社村田製作所内

(74) 代理人 100085143

弁理士 小柴 雅昭 (外1名)

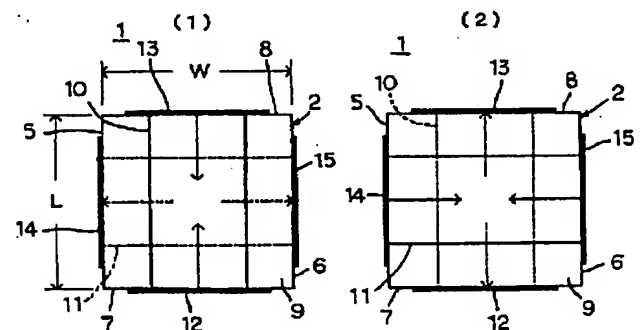
最終頁に続く

(54) 【発明の名称】 積層コンデンサ、ならびにこれを用いた電子装置および高周波回路

(57) 【要約】

【課題】 積層コンデンサの等価直列インダクタンスを低減する。

【解決手段】 コンデンサ本体2の内部において誘電体層9を介して互いに対向する第1および第2の内部電極10および11が、それぞれ、コンデンサ本体2の2つの端面7および8間ならびに2つの側面5および6間を連結するように延びており、2つの端面7および8上に端面端子電極12および13をそれぞれ設け、2つの側面5および6上に側面端子電極14および15をそれぞれ設ける。そして、コンデンサ本体2の幅方向寸法Wを、長さ方向寸法Lの0.9~1.1倍の範囲内に選ぶ。また、WおよびLをaとし、内部電極10, 11の幅をbとしたとき、 $0.45 \leq b/a \leq 0.90$ に選ぶことが好ましい。



【特許請求の範囲】

【請求項 1】 その外形が長さ方向寸法、幅方向寸法および厚み方向寸法によって規定され、前記長さ方向寸法および前記幅方向寸法によって規定される相対向する第 1 および第 2 の主面、前記長さ方向寸法および前記厚み方向寸法によって規定される相対向する第 1 および第 2 の側面、ならびに、前記幅方向寸法および前記厚み方向寸法によって規定される相対向する第 1 および第 2 の端面を有する、コンデンサ本体を備え、

前記コンデンサ本体は、前記主面の方向に延びる複数の誘電体層、ならびにコンデンサユニットを形成するように特定の前記誘電体層を介して互いに対向する少なくとも 1 対の第 1 および第 2 の内部電極を備え、

前記第 1 の内部電極は、前記第 1 および第 2 の端面間を連結するように延び、かつ、前記第 2 の内部電極は、前記第 1 および第 2 の側面間を連結するように延び、

前記第 1 および第 2 の端面上には、それぞれ、前記第 1 の内部電極の各端部に電気的に接続される第 1 および第 2 の端面端子電極が設けられ、

前記第 1 および第 2 の側面上には、それぞれ、前記第 2 の内部電極の各端部に電気的に接続される第 1 および第 2 の側面端子電極が設けられ、

前記コンデンサ本体の前記幅方向寸法は、前記長さ方向寸法の 0.9 ~ 1.1 倍の範囲内に選ばれる、積層コンデンサ。

【請求項 2】 前記第 1 および第 2 の内部電極の各幅はそれぞれ一様でありかつ互いに等しい寸法を有している、請求項 1 の記載の積層コンデンサ。

【請求項 3】 前記コンデンサ本体の前記長さ方向寸法および前記幅方向寸法は、1.5 ~ 4.0 mm の範囲内に選ばれる、請求項 1 または 2 の記載の積層コンデンサ。

【請求項 4】 前記第 1 および第 2 の内部電極の各幅の寸法は、0.9 ~ 2.5 mm の範囲内に選ばれる、請求項 3 に記載の積層コンデンサ。

【請求項 5】 前記長さ方向寸法および前記幅方向寸法を a とし、前記第 1 の内部電極の幅および前記第 2 の内部電極の幅を b としたとき、前記 a および前記 b は、

$$0.45 \leq b/a \leq 0.90$$

となるように選ばれる、請求項 1 ないし 4 のいずれかに記載の積層コンデンサ。

【請求項 6】 前記 a および前記 b は、

$$0.50 \leq b/a \leq 0.85$$

となるように選ばれる、請求項 5 に記載の積層コンデンサ。

【請求項 7】 前記誘電体層を構成する誘電体の比誘電率は 50 以下である、請求項 1 ないし 6 のいずれかに記載の積層コンデンサ。

【請求項 8】 複数対の前記第 1 および第 2 の内部電極を備える、請求項 1 ないし 7 のいずれかに記載の積層コ

ンデンサ。

【請求項 9】 前記第 1 および第 2 の内部電極は、前記コンデンサ本体の前記第 1 および第 2 の主面のいずれか側に片寄った位置に配置されている、請求項 1 ないし 8 のいずれかに記載の積層コンデンサ。

【請求項 10】 その 1 次共振周波数が 1 GHz 以上であり、かつ 2 次共振周波数が 1 次共振周波数の 1.5 倍以上である、請求項 1 ないし 9 のいずれかに記載の積層コンデンサ。

【請求項 11】 請求項 1 ないし 10 のいずれかに記載の積層コンデンサと、前記第 1 または第 2 の主面に対向するように位置されかつ前記積層コンデンサを実装する配線基板とを備える、電子装置。

【請求項 12】 請求項 9 に記載の積層コンデンサと、前記第 1 および第 2 の内部電極が片寄った位置側にある前記コンデンサ本体の前記第 1 および第 2 の主面のいずれかに対向するように位置されかつ前記積層コンデンサを実装する配線基板とを備える、電子装置。

【請求項 13】 請求項 1 ないし 10 のいずれかに記載の積層コンデンサを備える、高周波回路。

【請求項 14】 請求項 10 に記載の積層コンデンサを、デカップリングコンデンサ、インピーダンスマッチング用コンデンサ、DC カット用コンデンサ、またはローパス/ハイパスフィルタ用コンデンサとして用いている、高周波回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、積層コンデンサに関するもので、特に、高周波回路において有利に適用され得る積層コンデンサに関するものである。

【0002】 この発明は、また、上述したような積層コンデンサを用いて構成される電子装置および高周波回路に関するものである。

【0003】

【従来の技術】 この発明にとって興味ある従来の積層コンデンサとして、たとえば実開昭 49-127736 号公報に記載されたものがある。ここに記載された積層コンデンサは、残留インダクタンスの低減化を図ることができる構造を有していて、高周波域での使用に適するような配慮がなされている。

【0004】 すなわち、この積層コンデンサは、長さ方向寸法とこの長さ方向寸法より短い幅方向寸法および厚み方向寸法とによって規定される直方体状をなすコンデンサ本体を備え、このコンデンサ本体における幅方向寸法および厚み方向寸法によって規定される相対向する 2 つの端面の各々上には端面端子電極が設けられ、長さ方向寸法および厚み方向寸法によって規定される相対向する 2 つの側面の各々上には側面端子電極が設けられている。

【0005】 また、コンデンサ本体の内部には、誘電体

層を介して互いに対向する第 1 および第 2 の内部電極が形成され、これら第 1 および第 2 の内部電極のうち、第 1 の内部電極は、コンデンサ本体の 2 つの端面間を連結するように延び、その各端部において上述の端面端子電極に電気的に接続される。また、第 2 の内部電極は、コンデンサ本体の 2 つの側面間を連結するように延び、その各端部において上述の側面端子電極に電気的に接続される。

【0006】このように、上記公報に記載された積層コンデンサは、コンデンサ本体の 2 つの端面および 2 つの側面上にそれぞれ設けられる 4 つの端子電極を備えているため、従来の典型的な積層コンデンサである 2 つの端子電極を備えるものに比べて、残留インダクタンスを小さくすることができる。

【0007】

【発明が解決しようとする課題】しかしながら、上述のような 4 つの端子電極を備える積層コンデンサによれば、従来の典型的な 2 つの端子電極を備える積層コンデンサに比較すれば、なるほど残留インダクタンスを小さくすることができるが、このような積層コンデンサが用いられる電子回路のさらなる高周波化に対応するためには、より一層の残留インダクタンスすなわち等価直列インダクタンス (ESL) の低減化が望まれるところである。

【0008】そこで、この発明の目的は、等価直列インダクタンス (ESL) のさらなる低減化を可能にする積層コンデンサを提供しようとするところである。

【0009】この発明の他の目的は、上述したような積層コンデンサを用いて構成される電子装置および高周波回路を提供しようとするところである。

【0010】

【課題を解決するための手段】この発明に係る積層コンデンサは、従来の積層コンデンサの場合と同様、その外形が長さ方向寸法、幅方向寸法および厚み方向寸法によって規定され、長さ方向寸法および幅方向寸法によって規定される相対向する第 1 および第 2 の主面、長さ方向寸法および厚み方向寸法によって規定される相対向する第 1 および第 2 の端面を有する、コンデンサ本体を備える。

【0011】このコンデンサ本体は、主面の方向に延びる複数の誘電体層、ならびにコンデンサユニットを形成するように特定の誘電体層を介して互いに対向する少なくとも 1 対の第 1 および第 2 の内部電極を備える。

【0012】第 1 の内部電極は、第 1 および第 2 の端面間を連結するように延び、かつ、第 2 の内部電極は、第 1 および第 2 の側面間を連結するように延びる。

【0013】また、第 1 および第 2 の側面上には、それぞれ、第 1 の内部電極の各端部に電気的に接続される第 1 および第 2 の端面端子電極が設けられ、かつ、第 1 およ

および第 2 の側面上には、それぞれ、第 2 の内部電極の各端部に電気的に接続される第 1 および第 2 の側面端子電極が設けられる。

【0014】このような構成を備える積層コンデンサにおいて、前述した技術的課題を解決するため、コンデンサ本体の長さ方向寸法との比率を種々に変え、ESL を求めたところ、これら長さ方向寸法と幅方向寸法とを互いに等しくすることにより ESL を最も小さくできることを見出し、この発明をなすに至ったものである。

【0015】他方、上述のように長さ方向寸法と幅方向寸法とを互いに等しくしたときには ESL を最も小さくできるものであるが、積層コンデンサを製造するにあたってコンデンサ本体を得ようとする場合、ばらつきなく、その長さ方向寸法と幅方向寸法とが互いに等しいものを常に安定して得ることは比較的困難である。

【0016】そこで、この発明では、長さ方向寸法と幅方向寸法とが互いに等しい場合に限らず、ESL を安定して小さくできる長さ方向寸法と幅方向寸法との比率についての適正範囲が提供される。すなわち、この発明では、コンデンサ本体の幅方向寸法は、長さ方向寸法の 0.9~1.1 倍の範囲内に選ばれることを特徴としている。

【0017】この発明において、第 1 および第 2 の内部電極の各幅はそれぞれ一様でありかつ互いに等しい寸法を有していることが好ましい。

【0018】また、この発明において、好ましくは、コンデンサ本体の長さ方向寸法および幅方向寸法は、1.5~4.0 mm の範囲内に選ばれる。そして、この場合、より好ましくは、第 1 および第 2 の内部電極の各幅の寸法は、0.9~2.5 mm の範囲内に選ばれる。

【0019】また、この発明では、コンデンサ本体の長さ方向寸法および幅方向寸法を a とし、第 1 の内部電極の幅および第 2 の内部電極の幅を b としたとき、これら a および b は、 $0.45 \leq b/a \leq 0.90$ となるように選ばれることが好ましく、より好ましくは、 $0.50 \leq b/a \leq 0.85$ となるように選ばれる。

【0020】また、この発明において、誘電体層を構成する誘電体の比誘電率は 50 以下であることが好ましい。

【0021】また、この発明に係る積層コンデンサにおいて高容量を取得するためには、第 1 および第 2 の内部電極を複数対設けるようにすればよい。

【0022】また、第 1 および第 2 の内部電極は、コンデンサ本体の第 1 および第 2 の主面のいずれかに側に片寄った位置に配置されてもよい。

【0023】上述の場合、この積層コンデンサとこれを実装する配線基板とをもって電子装置を構成しようとするとき、第 1 および第 2 の内部電極が片寄った位置側にあるコンデンサ本体の第 1 および第 2 の主面のいずれかが配線基板に対向するように位置されることが好まし

い。

【0024】また、この発明に係る積層コンデンサは、その1次共振周波数が1GHz以上であり、かつ2次共振周波数が1次共振周波数の1.5倍以上であることが好ましい。

【0025】上述のような積層コンデンサは、高周波回路において、たとえば、デカップリングコンデンサ、インピーダンスマッチング用コンデンサ、DCカット用コンデンサ、またはローパス／ハイパスフィルタ用コンデンサとして有利に用いることができる。

【0026】この発明は、また、上述のような積層コンデンサと、コンデンサ本体の第1または第2の主面に対向するように位置されかつ積層コンデンサを実装する配線基板とを備える、電子装置にも向けられる。

【0027】また、この発明は、上述のような積層コンデンサを備える、高周波回路にも向けられる。

【0028】

【発明の実施の形態】図1は、この発明の一実施形態による積層コンデンサ1の外観を示す斜視図である。図2は、図1に示した積層コンデンサ1の内部構造を特定の断面をもって示す平面図であり、図2において、(1)と(2)とは互いに異なる断面を表わしている。

【0029】積層コンデンサ1は、長さ方向寸法L、幅方向寸法W、および厚み方向寸法Tによって外形が規定されるコンデンサ本体2を備えている。コンデンサ本体2は、長さ方向寸法Lおよび幅方向寸法Wによって規定される相対向する第1および第2の主面3および4、長さ方向寸法Lおよび厚み方向寸法Tによって規定される相対向する第1および第2の側面5および6、ならびに、幅方向寸法Wおよび厚み方向寸法Tによって規定される相対向する第1および第2の端面7および8を有している。

【0030】また、コンデンサ本体2は、主面3および4の方向に延びる複数の誘電体層9、ならびにコンデンサユニットを形成するように特定の誘電体層9を介して互いに対向する第1および第2の内部電極10および1*

*1を備えている。第1および第2の内部電極10および11は、単に1対だけ設けられていても、後述する他の実施形態から明かなように、複数対設けられていてもよい。

【0031】図2(1)は、第1の内部電極10が通る断面を示し、また、図2(2)は、第2の内部電極11が通る断面を示している。

【0032】図2(1)に示すように、第1の内部電極10は、コンデンサ本体2の第1および第2の端面7および8間を連結するように延びている。また、図2

(2)に示すように、第2の内部電極11は、コンデンサ本体2の第1および第2の側面5および6間を連結するように延びている。

【0033】また、この実施形態では、第1および第2の内部電極10および11の各幅はそれぞれ一様でありかつ互いに等しい寸法を有している。

【0034】また、コンデンサ本体2の第1および第2の端面7および8上には、それぞれ、第1の内部電極10の各端部に電氣的に接続される第1および第2の端子電極12および13が設けられ、第1および第2の側面5および6上には、それぞれ、第2の内部電極11の各端部に電氣的に接続される第1および第2の側面端子電極14および15が設けられる。

【0035】このような積層コンデンサ1において、コンデンサ本体2の幅方向寸法Wは、長さ方向寸法Lの0.9~1.1倍の範囲内選ばれる。このような長さ方向寸法Lと幅方向寸法Wとの好ましい比率は、以下の実験に基づいて求められたものである。

【0036】表1に示すように、コンデンサ本体の長さ方向寸法LすなわちL寸法を2.0mmに固定しながら、幅方向寸法WすなわちW寸法を種々に変え、それによって、LとWの比を異ならせた試料1~7に係る積層コンデンサを製造し、各積層コンデンサのESLを求めた。

【0037】

【表1】

試料番号	LとWの比	L寸法[mm]	W寸法[mm]	ESL[pH]
1	1:0.6	2.0	1.2	117
2	1:0.8	2.0	1.6	113
3	1:0.9	2.0	1.8	106
4	1:1	2.0	2.0	106
5	1:1.1	2.0	2.2	107
6	1:1.2	2.0	2.4	140
7	1:1.4	2.0	2.8	179

【0038】この実験において、内部電極の幅は1.0mmに固定した。また、1対の第1および第2の内部電極を形成し、これら内部電極間の誘電体層の厚みを100μmとした。また、誘電体層を構成する誘電体とし

て、比誘電率が2.5のものをを用いた。

【0039】表1を参照して、試料4のように、LとWの比が1:1であるとき、ESLを最も小さくすることができる。また、試料3、4および5のように、LとW

の比が1:0.9から1:1.1の範囲内にあるとき、ESLは比較的低い値で安定している。

【0040】このことから、ESLを低く安定させるためには、コンデンサ本体の幅方向寸法Wは、長さ方向寸法Lの0.9~1.1倍の範囲内に選ばれることが好ましいことがわかる。

【0041】上述のように、幅方向寸法Wを長さ方向寸法Lの0.9~1.1倍の範囲内に選ぶことによってESLを小さくできるのは、次の理由によるものと考えられる。

【0042】図2を参照して、第1および第2の内部電極10および11の各々には、互いに他の内部電極と重なり合う部分と重なり合わない部分とがある。内部電極10および11が重なり合う部分においては、異なる方向の電流（実線と点線の矢印で示す。）が流れるため、これら電流によって誘起される磁束が互いに相殺され、ESLを小さくすることができる。他方、内部電極10および11の各々の互いに重なり合わない部分においては、電流が一方方向にしか流れないため、上述した重なり合う部分に比べると、ESLを大きくするように作用す

る。

【0043】しかしながら、コンデンサ本体2の長さ方向寸法Lと幅方向寸法Wとが互いに等しい場合には、内部電極10および11における重なり合わない4つの領域は、互いに寸法が同一になるため、これら4つの重なり合わない領域に関連してそれぞれ流れる電流の経路長を互いに等しくすることができる。そのため、これら重なり合わない領域に関連して流れる電流によって誘起さ*

*れる磁束を全体として見たときには、互いに相殺するように作用し、ESLの増大をそれほど招かないようにすることができる。

【0044】これに対して、コンデンサ本体の長さ方向寸法と幅方向寸法とが比較的大きく異なる場合には、内部電極における重なり合わない4つの領域の寸法が互いに大きく異なるため、これら4つの重なり合わない領域に関連してそれぞれ流れる電流の経路長に不均一を生じる。そのため、磁束の十分な相殺効果が得られず、ESLの増大を招くものと考えられる。

【0045】なお、上述したように、内部電極10および11における重なり合わない4つの領域の寸法を互いに等しくして、ESLの増大を招かないようにするためには、図2に示すように、第1および第2の内部電極10および11の各幅がそれぞれ一様でありかつ互いに等しい寸法を有していることが好ましい。

【0046】次に、図2に示した積層コンデンサ1のように、コンデンサ本体の長さ方向寸法Lと幅方向寸法Wとを互いに等しくしながら、これらLW寸法を1.0mm□から5.0mm□までの範囲で変え、それに応じて、第1および第2の内部電極の各幅を0.4mm~2.5mmの範囲で変えて得られた種々の積層コンデンサについて、ESLを求める実験を実施した。この実験結果が以下の表2に示されている。なお、この実験において、その他の条件については前述した実験と同様とした。

【0047】

【表2】

試料番号	LW寸法	内部電極幅[mm]	ESL[pH]
11	1.0mm□	0.4	269
12	1.5mm□	0.9	87
13	2.0mm□	1.4	54
14	3.0mm□	2.0	63
15	4.0mm□	2.5	82
16	4.5mm□	2.5	110
17	5.0mm□	2.5	149

【0048】表2を参照して、試料12~15のように、LW寸法が1.5mm□から4.0mm□の範囲内にある場合において、ESLが安定して低くなっている。

【0049】これに関連して、一般に、LW寸法を大きくすると、内部電極の幅を広くでき、内部電極と端子電極とが接続される箇所の電流集中の度合いを弱めることができる。そのため、LW寸法を大きくすることにより、ESLを小さくすることができる。

【0050】しかしながら、試料16および17のように、LW寸法を4.0mm□より大きくすると、ESLが極端に高くなってしまふ。これは、内部電極における

重なり合わない部分の寸法が大きくなるためであると考えられる。また、このようにLW寸法が大きくなると、内部電極と端子電極との間で生じ得る浮遊容量を無視できなくなる問題も生じる。

【0051】他方、試料11のように、LW寸法が1.5mm□より小さくなると、内部電極の形成領域において各側0.3mmのマーヅンをとるとすれば、内部電極の幅は0.4mmにまで小さくなり、そのため、ESLが極端に高くなる。

【0052】以上のように、表2に示した実験結果によれば、LW寸法は、1.5mm□から4.0mm□の範囲内にあることが好ましく、また、内部電極の各幅の寸

法は、0.9～2.5mmの範囲内に選ばれることが好ましい。

【0053】また、図3に示すように、コンデンサ本体2の長さ方向寸法および幅方向寸法をaとし、第1の内部電極10の幅および第2の内部電極11の幅をbとしたとき、これらaとbとの比率 b/a に関して、好ましい範囲が存在する。

【0054】すなわち、 b/a は、 $0.45 \leq b/a \leq 0.90$ の範囲にあることが好ましく、 $0.50 \leq b/a$

* $a \leq 0.85$ の範囲にあることがより好ましい。このような b/a についての好ましい範囲は、以下のデータに基づいて求められたものである。

【0055】表3には、aを1.0mm、2.0mm、3.0mmおよび4.0mmとした各場合において、 b/a を0.3～0.9の範囲で変えて得られた種々の積層コンデンサのESLが示されている。

【0056】

【表3】

	$b/a=0.9$	$b/a=0.85$	$b/a=0.8$	$b/a=0.6$	$b/a=0.5$	$b/a=0.45$	$b/a=0.35$	$b/a=0.3$
a=1.0mm	48pH	54pH	62pH	110pH	160pH	200pH	300pH	380pH
a=2.0mm	20pH	24pH	31pH	80pH	120pH	150pH	250pH	310pH
a=3.0mm	16pH	21pH	27pH	70pH	110pH	130pH	220pH	280pH
a=4.0mm	17pH	23pH	29pH	70pH	110pH	130pH	220pH	280pH

【0057】また、表4には、表1においてESLを示した各積層コンデンサについての1次共振周波数、2次共振周波数および2次共振周波数/1次共振周波数の比※

※率が示されている。

【0058】

【表4】

		$b/a=0.95$	$b/a=0.9$	$b/a=0.85$	$b/a=0.8$	$b/a=0.6$	$b/a=0.5$	$b/a=0.45$	$b/a=0.35$	$b/a=0.3$
a=1.0mm	1次共振	12GHz	12GHz	12GHz	12GHz	12GHz	12GHz	12GHz	13GHz	13GHz
	2次共振	23GHz	24GHz	26GHz	28GHz	37GHz	40GHz	41GHz	44GHz	45GHz
	2次/1次	1.91	2.00	2.17	2.33	3.08	3.33	3.41	3.38	3.46
a=2.0mm	1次共振	9.6GHz	9.4GHz	9.2GHz	8.5GHz	7.1GHz	6.9GHz	6.8GHz	6.8GHz	7.2GHz
	2次共振	10GHz	12GHz	14GHz	15GHz	21GHz	25GHz	27GHz	32GHz	34GHz
	2次/1次	1.04	1.28	1.52	1.76	2.96	3.62	3.97	4.71	4.72
a=3.0mm	1次共振	7.4GHz	7.0GHz	6.5GHz	6.0GHz	5.1GHz	4.9GHz	4.9GHz	4.9GHz	5.1GHz
	2次共振	7.6GHz	8.6GHz	9.8GHz	10GHz	15GHz	18GHz	19GHz	24GHz	27GHz
	2次/1次	1.03	1.23	1.51	1.67	2.94	3.67	3.88	4.90	5.29
a=4.0mm	1次共振	5.5GHz	5.1GHz	4.6GHz	4.4GHz	3.8GHz	3.6GHz	3.6GHz	3.7GHz	3.8GHz
	2次共振	5.9GHz	6.5GHz	7.4GHz	8.1GHz	11GHz	13GHz	15GHz	19GHz	21GHz
	2次/1次	1.07	1.27	1.61	1.84	2.89	3.61	4.17	5.14	5.53

【0059】表3に示すように、 b/a が小さくなるに従って、ESLがより高くなる傾向があり、特に、 b/a が0.45を下回ると、ESLが急激に高くなる。

【0060】上述のように、 b/a が小さくなると、第1および第2の内部電極10および11のそれぞれにおいて、第1および第2の内部電極10および11が互いに重なり合わない部分の面積が大きくなり、端面端子電極12および13ならびに側面端子電極14および15のそれぞれへの引出し部分での電流集中の度合いが高くなる。前述したように、 b/a が小さくなるに従って、ESLが高くなるのは、このような電流集中の度合いが高くなることによるものと考えられる。

【0061】このことから、 b/a は0.45以上であることが好ましく、より安定して低ESL化を図るためには、 b/a が0.50以上であることが好ましい。

【0062】他方、表4において、 b/a が大きくなるに従って、1次共振と2次共振とのそれぞれの共振周波

数がより近くなる現象が見られる。なお、1次共振は、積層コンデンサ1本来の容量とESLとによる共振であり、2次共振は、第1の内部電極10とこれに接続されない側面端子電極14および15との間に発生する浮遊容量および第2の内部電極11とこれに接続されない端面端子電極12および13との間に発生する浮遊容量によって生じる共振である。

【0063】特に、 b/a が0.9を超えると、たとえば b/a が0.95である場合であって、aが2.0mm、3.0mmおよび4.0mmの各場合には、1次共振と2次共振とがほぼ重なってしまう。これは、aが比較的大きい場合において、bが大きくなることによって、前述した浮遊容量が大きくなり、2次共振周波数が低周波数側へ移動することにより生じるものである。

【0064】このように、2次共振点が1次共振点に近づくと、積層コンデンサ1の周波数特性が悪くなり、低周波数側にシフトするため、コンデンサとして使用可能

な周波数域が下がってしまい、高周波用途に適さなくなってしまう。

【0065】上述のことから、使用周波数域が1GHz以上、特に5GHz以上の使用周波数域の高周波回路においては、2次共振周波数が1次共振周波数の1.5倍以上であることが好ましいと言える。このことを満たすためには、 b/a は0.9以下とするのが好ましく、より確実に満たすためには、0.85以下とするのが好ましい。

【0066】以上のことから、ESLを安定して低くするとともに、高周波用途に適したものとするためには、 b/a は、 $0.45 \leq b/a \leq 0.90$ の範囲であることが好ましく、 $0.50 \leq b/a \leq 0.85$ の範囲とすることがより好ましい。

【0067】上述のように、積層コンデンサ1は、使用周波数域が1GHz以上、特に好ましくは、5GHz以上といった高周波用途に有利に向けられる。

【0068】このような周波数域において、従来の最も典型的な2端子コンデンサが使用されると、ESLが高く、共振点が低周波数側に位置するため、コンデンサとして機能し得ず、たとえ機能し得るとしても、機能し得るコンデンサは、容量が極めて小さいものに限られる。このことから、容量が大きくかつ低ESLのコンデンサが求められており、この実施形態に係る積層コンデンサ1は、この要望を満たすものである。

【0069】積層コンデンサ1は、高周波回路において、たとえば、デカップリングコンデンサ、インピーダンスマッチング用コンデンサ、DCカット用コンデンサ、またはローパス/ハイパスフィルタ用コンデンサとして有利に用いられる。

【0070】また、使用周波数域が1GHz以上の高周波回路は、たとえば、携帯電話あるいはその基地局などにおいて用いられ、使用周波数域が5GHz以上の高周波回路は、たとえば、無線LAN(5~30GHz)、衛星通信(10~20GHz)、ETC(5GHz~)な*

*などにおいて用いられている。図4は、その具体例を示すもので、ここに示した高周波回路は、衛星通信用携帯電話(使用周波数12GHz)の受信側の増幅器の回路である。

【0071】図4を参照して、入力端子16から出力端子17へ至る信号の直流成分をカットするため、DCカット用コンデンサ18および19が接続されている。また、この信号ラインに関連して、インピーダンスマッチングのためのコンデンサ20および21が接続されている。また、トランジスタ22のソースドレイン間には、直流電圧Vccが印加されている。

【0072】上述した高周波回路において、DCカット用コンデンサ18および19ならびにインピーダンスマッチング用コンデンサ20および21として、この発明の実施形態による積層コンデンサ1を有利に用いることができる。特に、DCカット用コンデンサ18および19にあっては、より優れた周波数特性が要求されるので、このようなDCカット用コンデンサ18および19として、前述したように、2次共振周波数が1次共振周波数の1.5倍以上といった特性を有するものを用いることが望ましい。

【0073】また、積層コンデンサ1において、誘電体層9を構成する誘電体の比誘電率は50以下であることが好ましい。このような比誘電率の好ましい条件は、以下の実験に基づいて求められたものである。

【0074】図3に示したaを2.0mmとし、bを1.7mmとした積層コンデンサ1において、誘電体層9を構成する誘電体の比誘電率 ϵ を、表5に示すように、10~100の範囲で変えながら、同一容量を得るように設計したときの1次共振周波数、2次共振周波数および2次共振周波数/1次共振周波数の比率をそれぞれ求めた。

【0075】

【表5】

	$\epsilon=10$	$\epsilon=25$	$\epsilon=35$	$\epsilon=50$	$\epsilon=100$
1次共振	6.4GHz	6.3GHz	6.3GHz	6.1GHz	6.1GHz
2次共振	23GHz	14GHz	12GHz	10GHz	6.6GHz
2次/1次	3.59	2.22	1.90	1.64	1.08

【0076】表5に示すように、比誘電率 ϵ が大きくなるに従って、1次共振周波数に2次共振周波数がより近づく現象が見られる。

【0077】 ϵ が50を超え、たとえば100になると、2次共振周波数/1次共振周波数の比率が1.08となり、前述した高周波用途に向けられる場合の好ましい条件の下限である1.5を下回る。このことから、高周波用途において積層コンデンサ1をより安定して使用できるようにするためには、比誘電率 ϵ は50以下とす

ることが好ましい。

【0078】図5には、積層コンデンサ1と、この積層コンデンサ1のコンデンサ本体2のたとえば第2の主面4に対向するように位置されかつ積層コンデンサ1を実装する配線基板23とを備える、電子装置の一部が示されている。

【0079】たとえば、図5に示したように、積層コンデンサを配線基板上に実装するとき、積層コンデンサとしては、図6に示した積層コンデンサ1aのように、第

1 および第2の内部電極10および11が、コンデンサ本体2のたとえば第2の主面4側に片寄った位置に配置されているものを用い、この第1および第2の内部電極10および11が片寄った位置側にある第2の主面4に対向するように配線基板23を位置させた状態で、配線基板23上に積層コンデンサ1aを実装するようにすることが好ましい。

【0080】図6に示した実装構造によれば、内部電極10および11を配線基板23により近接させて配置することができるため、端子電極12～15を通して流れる電流の距離を、図5に示した積層コンデンサ1の場合に比べて短くすることができ、それによって、ESLをより小さくすることができる。

【0081】図7は、この発明のさらに他の実施形態による積層コンデンサ1bを図解的に示す断面図である。

【0082】図7に示した積層コンデンサ1bにおいては、3対の第1および第2の内部電極10および11が互に対向するように設けられている。

【0083】図7に示した積層コンデンサ1bのように、第1の内部電極10と第2の内部電極11との対向する部分の数が複数とされることによって、複数のコンデンサユニットを形成するようにされ、これら複数のコンデンサユニットが図示した端子電極14および15ならびに図示しない端子電極12および13（図2参照）によって並列接続されることによって、より大きな静電容量を得ることができる。

【0084】以上、この発明を図示した実施形態に関連して説明したが、この発明の範囲内において、その他、種々の変形例が可能である。

【0085】

【発明の効果】以上のように、この発明によれば、第1の内部電極がコンデンサ本体の幅方向寸法および厚み方向寸法によって規定される相対向する第1および第2の端面間を連結するように延び、かつ、この第1の内部電極に対して誘電体層を介して対向する第2の内部電極が、コンデンサ本体の長さ方向寸法および厚み方向寸法によって規定される相対向する第1および第2の側面間を連結するように延び、第1および第2の端面上には、それぞれ、第1の内部電極の各端部に電氣的に接続される第1および第2の端面端子電極が設けられ、第1および第2の側面上には、それぞれ、第2の内部電極の各端部に電氣的に接続される第1および第2の側面端子電極が設けられている、積層コンデンサにおいて、コンデンサ本体の幅方向寸法が長さ方向寸法の0.9～1.1倍の範囲内に選ばれているので、積層コンデンサに流れる電流によって誘起される磁束を効果的に相殺できるようになり、積層コンデンサのESLを小さくすることができる。

【0086】そのため、積層コンデンサの共振周波数を高めることができ、積層コンデンサのコンデンサとして

機能する周波数域を高周波化でき、このような積層コンデンサが適用される電子回路の高周波化に十分対応することができるようになる。

【0087】また、この発明においては、コンデンサ本体の長さ方向寸法と幅方向寸法との好ましい比率に関して、特定の1つの数値が与えられるのではなく、上述したように、0.9～1.1というような幅を有する数値が与えられるので、積層コンデンサを製造するにあたってコンデンサ本体を得る工程でのばらつきにもある程度対応することができ、積層コンデンサの生産能率を損なわず、また、積層コンデンサの設計の能率も高めることができる。

【0088】また、この発明によれば、コンデンサ本体の長さ方向寸法と幅方向寸法とが互いに等しいか実質的に等しくされるとともに、2つの端面および2つの側面の各々上に端子電極が設けられ、各端子電極はいずれかの内部電極の端部に接続された構造を有しているので、コンデンサ本体の長さ方向および幅方向に関する方向性を実質的になくすることができる。したがって、積層コンデンサの取り扱いや端子電極の形成のための工程を能率的に進めることができる。

【0089】この発明において、第1および第2の内部電極の各幅がそれぞれ一様でありかつ互いに等しい寸法を有していると、内部電極において他の内部電極と重なり合わない4つの領域を互いに実質的に等しい寸法とすることができるので、これら重なり合わない部分において流れる電流によって誘起される磁束を全体として互いに相殺するように作用させることができるので、ESLのさらなる低減化を図ることができる。

【0090】また、上述のように、内部電極の各幅がそれぞれ一様であるとき、すなわち内部電極が周縁部において角を形成しないときには、各内部電極の特定の部分で電界集中が生じにくくなるので、積層コンデンサの耐電圧を向上させることができる。

【0091】また、この発明において、コンデンサ本体の長さ方向寸法および幅方向寸法を1.5～4.0mmの範囲内に選んだり、さらには、第1および第2の内部電極の各幅の寸法を0.9～2.5mmの範囲内に選んだりすると、上述したようなESLの低減効果をより確実に達成することができる。

【0092】また、この発明において、コンデンサ本体の長さ方向寸法および幅方向寸法をaとし、第1の内部電極の幅および第2の内部電極の幅をbとしたとき、 $0.45 \leq b/a \leq 0.90$ 、より好ましくは、 $0.50 \leq b/a \leq 0.85$ となるように選ぶと、ESLをより安定して低くすることができるとともに、浮遊容量による2次共振と本来の1次共振とのそれぞれの共振周波数が近づくことによって引き起こされる周波数特性の低下をより確実に防止することができる。

【0093】また、この発明において、誘電体層を構成

する誘電体の比誘電率を50以下とすることにより、1次共振周波数に対して2次共振周波数が近くなる現象を生じにくくすることができ、高周波用途に適した積層コンデンサとすることができる。

【0094】また、この発明において、複数の第1および第2の内部電極を備えるようにすれば、より大きい静電容量を与える積層コンデンサとすることができる。

【0095】また、第1および第2の内部電極が、コンデンサ本体の第1および第2の主面のいずれか側に片寄った位置に配置されているとき、この片寄った位置側に
10 ある第1および第2の主面のいずれかに対向するように配線基板を位置させることにより、端子電極を通して流れる電流の距離をより短くすることができ、それによる低ESL化を図ることもできる。

【0096】また、この発明に係る積層コンデンサの1次共振周波数が1GHz以上であり、かつ2次共振周波数が1次共振周波数の1.5倍以上であるとき、2次共振が1次共振に影響を及ぼし、周波数特性を低下させ、1次共振点が低周波側にシフトすることを確実に防止できるため、高周波用途に適したコンデンサとすることが
20 できる。したがって、このような積層コンデンサは、高周波回路において、たとえば、デカップリングコンデンサ、インピーダンスマッチング用コンデンサ、DCカット用コンデンサ、またはローパス/ハイパスフィルタ用コンデンサとして有利に用いることができる。

【図面の簡単な説明】

【図1】この発明の一実施形態による積層コンデンサ1の外観を示す斜視図である。

【図2】図1に示した積層コンデンサ1の内部構造を示す平面図であり、(1)は第1の内部電極10が通る断面をもって示し、(2)は第2の内部電極11が通る断面をもって示している。
30

【図3】図1に示した積層コンデンサ1に備えるコンデ*

*ンサ本体2を示す平面図であり、コンデンサ本体2の長さ方向寸法および幅方向寸法としてのaと、内部電極10および11の幅bとの関係を説明するためのものである。

【図4】図1に示した積層コンデンサ1が有利に適用される高周波回路の一例としての、衛星通信用携帯電話の受信側の増幅器の回路を示す図である。

【図5】図1に示した積層コンデンサ1の配線基板23への実装構造を説明するための正面図である。

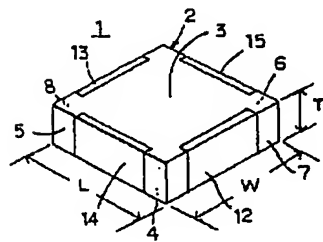
【図6】この発明の他の実施形態による積層コンデンサ1aの配線基板23への実装構造を説明するための正面図である。

【図7】この発明のさらに他の実施形態による積層コンデンサ1bの内部構造を示す正面図である。

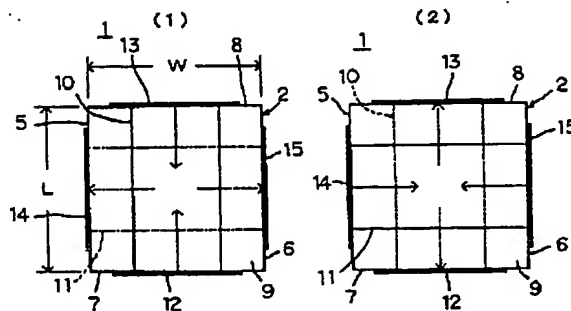
【符号の説明】

- 1, 1a, 1b 積層コンデンサ
- 2 コンデンサ本体
- 3 第1の主面
- 4 第2の主面
- 5 第1の側面
- 6 第2の側面
- 7 第1の端面
- 8 第2の端面
- 9 誘電体層
- 10 第1の内部電極
- 11 第2の内部電極
- 12 第1の端面端子電極
- 13 第2の端面端子電極
- 14 第1の側面端子電極
- 15 第2の側面端子電極
- 18, 19 DCカット用コンデンサ
- 20, 21 インピーダンスマッチング用コンデンサ
- 23 配線基板

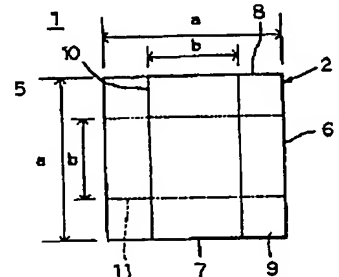
【図1】



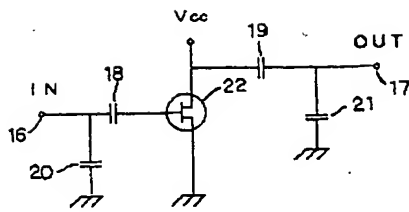
【図2】



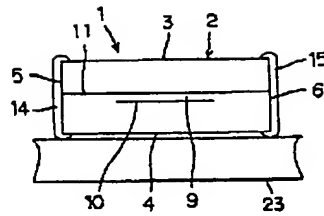
【図3】



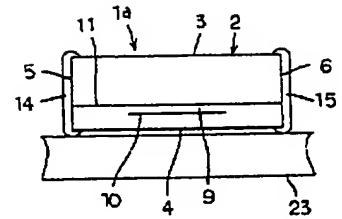
【図 4】



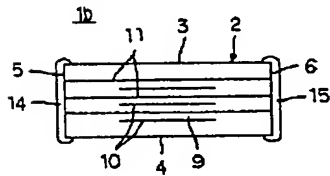
【図 5】



【図 6】



【図 7】



フロントページの続き

(72)発明者 堀 晴雄
京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内
(72)発明者 近藤 隆則
京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

(72)発明者 朝倉 教真
京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内
Fターム(参考) 5E082 AB03 BB01 BB05 BC14 EE01
GG10 MM28 PP01 PP09

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.